

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In Re Application of: Wang

Group Art Unit: Unassigned

Serial No.: Unassigned

Examiner: Unassigned

Filed: October 1, 2003

Docket No. 250317-1070

For: **Hillock-Free Gate Layer and Method of Manufacturing the Same**

**CLAIM OF PRIORITY TO AND**  
**SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION**  
**PURSUANT TO 35 U.S.C. §119**


Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicant hereby claims priority to and the benefit of the filing date of Republic of China patent application entitled, "Hillock-Free Gate Layer and Method of Manufacturing the Same", filed January 16, 2003, and assigned serial number 92100927. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

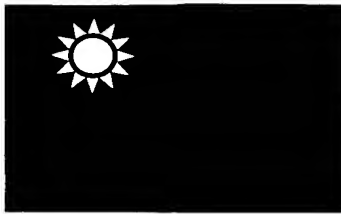
Respectfully Submitted,

**THOMAS, KAYDEN, HORSTEMEYER  
& RISLEY, L.L.P.**

By:   
**Daniel R. McClure, Reg. No. 38,962**

100 Galleria Parkway, Suite 1750  
Atlanta, Georgia 30339  
770-933-9500

0990



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 01 月 16 日  
Application Date

申 請 案 號：092100927  
Application No.

申 請 人：奇美電子股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2003 年 3 月 28 日  
Issue Date

發文字號：09220308280  
Serial No.

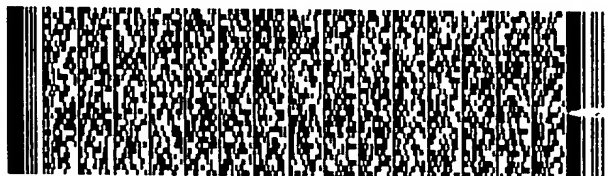
申請日期：	IPC分類
申請案號：	



(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	不具小凸起之開層及其製造方法
	英 文	
二、 發明人 (共1人)	姓 名 (中 文)	1. 王程麒
	姓 名 (英 文)	1. Wang, Cheng-Chi
	國 籍 (中 英 文)	1. 中華民國 TW
	住 居 所 (中 文)	1. 台南縣永康市竹園一街45-16號
	住 居 所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 奇美電子股份有限公司
	名稱或 姓 名 (英 文)	1. CHI MEI OPTOELECTRONIC CORP.
	國 籍 (中 英 文)	1. 中華民國 TW
	住 居 所 (營 業 所) (中 文)	1. 台南縣台南科學工業園區新市鄉奇業路1號 (本地址與前向貴局申請者相同)
	住 居 所 (營 業 所) (英 文)	1. No. 1, Chi-Yeh Road, Shin-Shih Village, Tainan Science-Based Industrial Park, Tainan County, Taiwan, R.O.C.
	代 表 人 (中 文)	1. 許文龍
	代 表 人 (英 文)	1.



TW0990E(奇美) pid

四、中文發明摘要 (發明名稱：不具小凸起之閘層及其製造方法)

一種不具小凸起之閘層及其製造方法，係在高壓、低功率的成膜條件下，形成單或多層純鋁層，再以一含氮之鋁層覆蓋於其上，以有效防制小凸起(hillock)之產生，並大幅降低製造成本。

五、(一)、本案指定代表圖為：第 2 圖

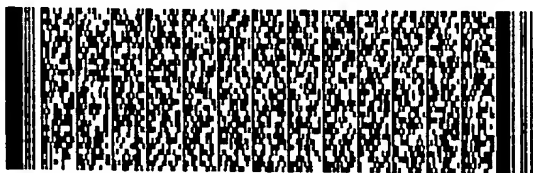
(二)、本案代表圖之元件代表符號簡單說明：

202：基板

204：純鋁層

206：含氮之鋁層

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

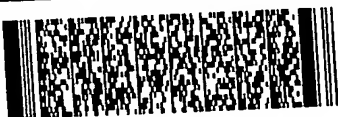
寄存機構：

無

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

本發明是有關於一種鋁導線層，且特別是有關於一種不具小凸起之閘層 (hillock-free gate) 及其製造方法。

### 【先前技術】

在半導體製程中，一般係選用鉬 (molybdenum, Mo) 或鉻 (Cr) 做為閘層製程 (gate process) 時之材料，然而，價格昂貴的鉬或鉻金屬會使整個製程成本居高不下。地球上含量最豐富的金屬礦—鋁，不但容易取得，且價格便宜，一般多應用於金屬製程中，若欲應用純鋁於閘層製程中，會有表面小凸起 (Hillock) 的問題。

選用純鋁的優點是：鋁具有低電阻係數，且與基板 (substrate) 間有良好的依附性 (adhesion)，在蝕刻製程中亦表現出較佳的蝕刻特性 (etching characteristics)。然而，使用熔點 (melting point) 較一般金屬低的純鋁作為閘層，仍有其缺點。請參照第 1A 圖，其繪示金屬沉積於玻璃基板之示意圖。先在較低的溫度下 (約 150°C) 將金屬沉積在玻璃基板 102 上，因此玻璃基板 102 上有晶粒 (crystal particle) 104，晶粒 104 和晶粒 104 之間則有晶界 (grain boundary) 106 形成。當然，實際上的晶粒並不會如第 1A 圖一樣方正，在此係為了方便說明而以整齊的方形晶粒表示。接著，進行回火 (anneal)，藉由高溫加熱所提供的熱能增加晶粒的振動，使晶粒原子的排列得以重整，晶粒得以藉由缺陷的



## 五、發明說明 (2)

消失而進行再結晶 (recrystalline)。經過再結晶的晶粒，其內應力 (inner stress) 將因差排及缺陷密度的降低而急劇下降。如果回火的溫度再繼續升高，使再結晶階段形成的晶粒有足夠的能量克服晶粒間的表面能 (surface energy) 時，晶粒將開始在消耗小晶粒的過程中成長，形成較大的晶粒，並且使小晶粒的晶界消除，此時，晶粒的內應力將更進一步的降低。

使用純鋁作為閘層之金屬時，會有小凸起的問題產生。請參照第 1B 圖，其繪示回火後的鋁於玻璃基板之示意圖。回火過程的高溫，使鋁晶粒 104 和玻璃基板 102 均產生熱膨脹 (thermal expansion)，但鋁的熱膨脹係數大於玻璃的熱膨脹係數，使鋁晶粒 104 產生極大的應力 (compressive stress)，由於鋁係附著在玻璃基板 102 上，因此鋁原子會沿著晶界 106 成長而在其上方形成小凸起 (hillock) 110。這種在金屬層上形成的小凸起 110，此小凸起會嚴重造成元件短路而損壞。

根據上述，如何在一般半導體製程或在液晶顯示器之閘層製程中，應用鋁以降低成本，但又可防制小凸起 (hillock) 的產生，係為業者一重要研究目標。

### 【發明內容】

有鑑於此，本發明的目的就是在提供一種不具小凸起之閘層及其製造方法，在高壓、低功率的成膜 (Film Formation) 條件下，形成單或多層純鋁層，並以一含氮



### 五、發明說明 (3)

之鋁層覆蓋於其上，以避免產生不平坦之小凸起(hillock)，並大幅降低製造成本。

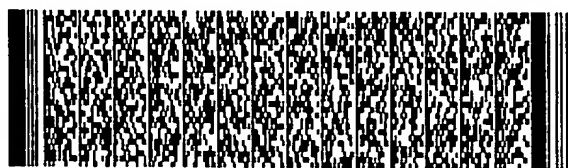
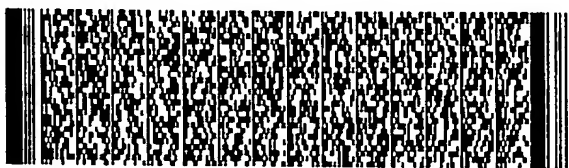
根據本發明的目的，提出一種不具小凸起之閘層(Hillock-free gate)，係於一基板上形成至少兩層之鋁層，閘層包括：形成於基板上的一純鋁層，以及形成於該純鋁層上方之一含氮之鋁層，其中，位於上方的含氮之鋁層可抑制下方的純鋁層，而有效防制小凸起之產生。

根據本發明的目的，提出另一種不具小凸起之閘層之製造方法，用以避免在鋁金屬層表面產生不平坦之凸起，其中，閘層係位於一基板上，至少包括兩層之鋁層，製造方法包括步驟：(a)在一第一壓力和一第一成膜功率下，於基板上形成一純鋁層，其中，第一壓力的範圍約在 $0.5\text{Pa}\sim 4\text{Pa}$ 之間，第一成膜功率的範圍約在 $0.1\sim 10\text{ w/cm}^2$ 之間；及(b)在一第二壓力下和一第二成膜功率下，於純鋁層上方形成一含氮之鋁層，其中，含氮之鋁層的膜厚範圍約在 $100\sim 1000\text{ \AA}$ 之間。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

#### 【實施方式】

本發明之技術特點在於，在純鋁層的上方形成一含





#### 五、發明說明 (4)

氮之鋁層，以抑制小凸起 (hillock) 之產生。其中，純鋁層可以是單層或複數層，並在高壓、低功率的成膜 (Film Formation) 條件下形成。

請參照第 2 圖，其繪示依照本發明第一實施例之二層鋁層之示意圖。在基板 202 上，以高壓、低功率的成膜條件形成純鋁層 204，其中，壓力範圍約在 0.5Pa~4Pa 之間，且較佳地為 1Pa；而成膜功率的範圍約在 0.1~10 w/cm<sup>2</sup> 之間。接著，在純鋁層 204 上方形成一含氮之鋁層 206，例如是氮化鋁 (aluminum nitride, AlN) 或氮氧化鋁 (aluminum oxide nitride, AlON)，其膜厚範圍約在 100~1000 Å 之間，且較佳地約在 300~800 Å 之間。至於形成含氮之鋁層 206 的成膜條件則沒有特殊限制，可採用一般成膜壓力如 0.3Pa。位於純鋁層 204 上方的含氮之鋁層 206，可有效抑制小凸起的形成。

請參照第 3 圖，其繪示依照本發明第二實施例之三層鋁層之示意圖。在基板 302 上，以高壓、低功率的成膜條件形成第一純鋁層 304a，其中，壓力範圍約在 0.5Pa~4Pa 之間，且較佳地為 1Pa；而成膜功率的範圍約在 0.1~10 w/cm<sup>2</sup> 之間。接著，在第一純鋁層 304a 上方形成第二純鋁層 304b。然後，再於第二純鋁層 304b 上方形成一含氮之鋁層 306，例如是氮化鋁 (AlN) 或氮氧化鋁 (AlON)，其膜厚範圍約在 100~1000 Å 之間，且較佳地約在 300~800 Å 之間。至於形成含氮之鋁層 306 的成膜條件則沒有特殊限



#### 五、發明說明 (5)

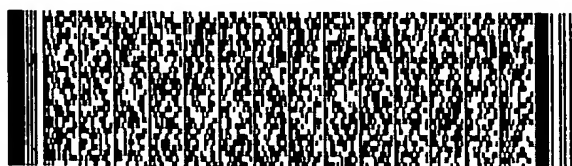
制，可採用一般成膜壓力如 0.3Pa。位於最上方的含氮之鋁層 306，可有效抑制小凸起的形成。

雖然，第二實施例中以兩層純鋁層為例做說明，但本發明並不以此為限，也可以是三、四、五層或更多層純鋁層，只要在最上方以含氮之鋁層蓋住下方之鋁層，即可達到抑制小凸起之效果。甚至在實際應用時，本發明之純鋁層處亦可依需要而添加其他元素，但在成本上沒有純鋁層低。

此外，對多層純鋁層而言，若越接近基板 402 的純鋁層顆粒越小，且排列越疏，而越上層的純鋁層顆粒越大，且排列越密，對抑制小凸起亦有良好的加成效果。然而，本發明並不限制於此，只要在多層鋁的上方有含氮之鋁層，並配合高壓低功率的條件即可。

以下則針對本發明之鋁層結構，做一系列實驗，並經過回火溫度 350°C，回火時間 1 小時後，以掃描式電子顯微鏡 (Scanning electron microscope) 觀察鋁層上方是否有小凸起形成。部分實驗結果如表一所示。

表一



## 五、發明說明 (6)

成膜壓力 (Pa)	膜厚 (Å)	成膜功率 (w/cm <sup>2</sup> )	回火後是否產生 小凸起
0.3	2000	6.5	有
4	2000	6.5	少許
4	2000	2	無
4	1000+1000	2+6.5	無
4	1000+1000	4+6.5	無

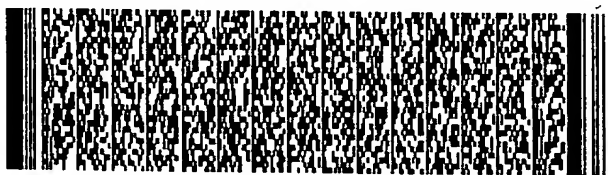
### 實驗一 (對照組)

在基板上，以成膜壓力 0.3 Pa，成膜濺鍍功率 (Sputtering power)(以下簡稱成膜功率) 6.5 w/cm<sup>2</sup> 沉積單層純鋁；接著，再沈積含氮之鋁層於其上。經過回火溫度 350°C，回火時間 1 小時後，以掃描式電子顯微鏡 (Scanning electron microscope) 觀察鋁層上方是否有小凸起形成。

觀察結果顯示：在低成膜壓力、高成膜功率的情形下，會產生小凸起。

### 實驗二 (對照組)

在基板上，以成膜壓力 4 Pa，成膜功率 6.5 w/cm<sup>2</sup> 沉積單層純鋁；接著，再沈積含氮之鋁層於其上。經過回火溫度 350°C，回火時間 1 小時後，以掃描式電子顯微鏡觀察鋁層上方是否有小凸起形成。



## 五、發明說明 (7)

觀察結果顯示：雖然成膜壓力已經提高至 4Pa，但成膜功率並沒有降低，因此仍有少許的小凸起產生。

### 實驗三

在基板上，以成膜壓力 4 Pa，成膜功率 2.0 w/cm<sup>2</sup>沉積單層純鋁；接著，再沈積含氮之鋁層於其上。經過回火溫度 350 °C，回火時間 1小時後，以掃描式電子顯微鏡觀察鋁層上方是否有小凸起形成。

觀察結果顯示：成膜壓力提高，成膜功率亦降低的情形下，小凸起可完全被抑制而無法產生。

### 實驗四

在基板上，以成膜壓力 4 Pa，成膜功率 2.0 w/cm<sup>2</sup>沉積第一層純鋁，再以成膜壓力 4 Pa，成膜功率 6.5 w/cm<sup>2</sup>沉積第二層純鋁；最後再沈積含氮之鋁層於其上方。經過回火溫度 350°C，回火時間 1小時後，以掃描式電子顯微鏡觀察鋁層上方是否有小凸起形成。

觀察結果顯示：在高成膜壓力下，沈積多層純鋁且成膜功率漸增情形下，小凸起亦可完全被抑制而無法產生。

### 實驗五

在基板上，以成膜壓力 4 Pa，成膜功率 4.0 w/cm<sup>2</sup>沉積第一層純鋁，再以成膜壓力 4 Pa，成膜功率 6.5 w/cm<sup>2</sup>



#### 五、發明說明 (8)

沉積第二層純鋁；最後再沈積含氮之鋁層於其上方。經過回火溫度  $350^{\circ}\text{C}$ ，回火時間 1 小時後，以掃描式電子顯微鏡觀察鋁層上方是否有小凸起形成。

觀察結果顯示：在高成膜壓力下沈積多層純鋁，且第一層純鋁的成膜功率較實驗四中的成膜功率 ( $2.0\text{w}/\text{cm}^2$ ) 要高，小凸起仍可被完全抑制而無法產生。

由上述結果可知，本發明的單層或多層純鋁再覆蓋以一含氮之鋁層，的確可有效防止小突起的產生。

本發明上述實施例所揭露之不具小凸起之閘層及其製造方法，其優點是：成本較傳統使用鉬或鉻等材料要大幅降低，製程簡易，且可有效防止小突起的產生，因此，不會造成後續沉積他層的不平坦。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



#### 圖式簡單說明

第 1A圖 繪示金屬沉積於玻璃基板之示意圖；

第 1B圖 繪示回火後的鋁於玻璃基板之示意圖；

第 2圖 繪示依照本發明第一實施例之二層鋁層之示意圖；及

第 3圖 繪示依照本發明第二實施例之三層鋁層之示意圖。

#### 圖式標號說明

102、202、302：基板

104：晶粒 (crystal particle)

106：晶界 (grain boundary)

110：小凸起 (hillock)

204、304a、304b：純鋁層

206、306：含氮之鋁層



#### 六、申請專利範圍

1. 一種不具小凸起之閘層 (Hillock-free gate)，係於一基板上形成至少兩層之鋁層，該閘層包括：  
一純鋁層，形成於該基板上，該純鋁層由複數個純鋁晶粒所組成；以及

一含氮之鋁層，形成於該純鋁層之上方，該含氮之鋁層由複數個鋁晶粒所組成；

其中，位於上方的該含氮之鋁層可抑制下方的該純鋁層，而防制小凸起之產生。

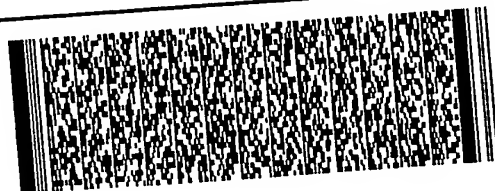
2. 如申請專利範圍第 1 項所述之閘層，其中該含氮之鋁層為一氮化鋁層 (AlN)。

3. 如申請專利範圍第 1 項所述之閘層，其中該含氮之鋁層為一含氧之氮化鋁層 (aluminum oxide nitride, AlON)。

4. 一種不具小凸起之閘層之製造方法，用以避免產生不平坦之凸起，其中，該閘層係位於一基板上，至少包括兩層之鋁層，該製造方法包括下列步驟：

(a) 在一第一壓力和一第一成膜功率下，於該基板上形成一純鋁層，其中，該第一壓力的範圍約在 0.5Pa~4Pa 之間，該第一成膜功率的範圍約在 0.1~10 w/cm<sup>2</sup> 之間；及

(b) 在一第二壓力下和一第二成膜功率下，於該純鋁層上方形成一含氮之鋁層，其中，該含氮之鋁層的膜厚範圍約在 100~1000 (Å) 之間。



#### 六、申請專利範圍

5. 如申請專利範圍第4項所述之製造方法，其中該第一壓力較佳地約在1Pa。

6. 如申請專利範圍第4項所述之製造方法，其中該第二壓力約為0.3Pa。

7. 如申請專利範圍第4項所述之製造方法，其中該含氮之鋁層的膜厚範圍較佳地約在300~800 (Å)之間。

8. 一種不具小凸起之閘層之製造方法，用以避免產生不平坦之凸起，其中，該閘層係位於一基板上，包括N層純鋁層(N為大於2之正整數)與一含氮之鋁層層，該製造方法包括下列步驟：

(a) 在一第一壓力和一第一成膜功率下，於該基板上形成一第一純鋁層；

(b) 設定i值為2；

(c) 在一第i壓力和一第i成膜功率下，於該第i-1純鋁層上形成一第i純鋁層；

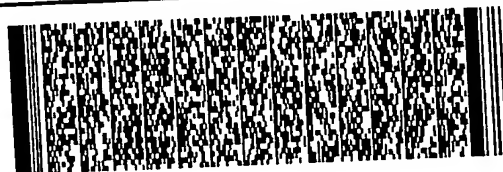
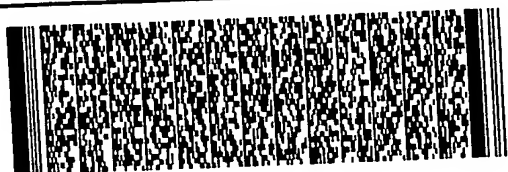
(d) 將i值加上1；及

(e) 重複步驟(a)至(c)，直到i值等於N為止；及

(f) 於該第N純鋁層上形成該含氮之鋁層

其中，該第一壓力與該第i壓力的範圍約在0.5Pa~4Pa之間，該第一成膜功率與該第i成膜功率的範圍約在0.1~10 w/cm<sup>2</sup>之間，且該含氮之鋁層的膜厚範圍約在100~1000 (Å)之間。

9. 如申請專利範圍第8項所述之製造方法，其中該





## 六、申請專利範圍

第一壓力較佳地約在 1Pa。

10. 如申請專利範圍第 8 項所述之製造方法，其中形成該含氮之鋁層的壓力約為 0.3Pa。

11. 如申請專利範圍第 8 項所述之製造方法，其中該含氮之鋁層的膜厚範圍較佳地約在 300~800 (Å) 之間。

12. 如申請專利範圍第 8 項所述之製造方法，其中該含氮之鋁層為一氮化鋁層 (AlN)。

13. 一種不具小凸起之閘層 (Hillock-free gate)，係於一基板上形成 N+1 層之鋁層 (N 為大於 2 之正整數)，該閘層包括：

N 層純鋁層，形成於該基板上，該些純鋁層係由複數個純鋁晶粒所組成；以及

一含氮之鋁層，形成於該些純鋁層之上方，該含氮之鋁層由複數個鋁晶粒所組成；

其中，位於上方的該含氮之鋁層可抑制下方的該些純鋁層，而防制小凸起之產生。

14. 如申請專利範圍第 13 項所述之閘層，其中該含氮之鋁層為一氮化鋁層 (AlN)。

15. 如申請專利範圍第 13 項所述之閘層，其中該含氮之鋁層為一含氧之氮化鋁層 (AlON)。

16. 一種不具小凸起之閘層 (Hillock-free gate) 的製造方法，用以避免產生不平坦之凸起，其中，該閘層為一純鋁層，且在一第一壓力和一第一成膜功率下，於



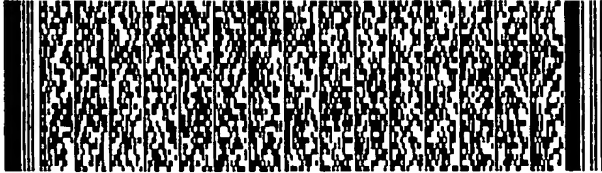
#### 六、申請專利範圍

一基板上形成該純鋁層，該第一壓力的範圍約在 0.5Pa~4Pa之間，而該第一成膜功率的範圍約在 0.1~10 w/cm<sup>2</sup>之間。

17. 如申請專利範圍第 16項所述之製造方法，其中該第一壓力較佳地約為 1Pa。



第 1/16 頁



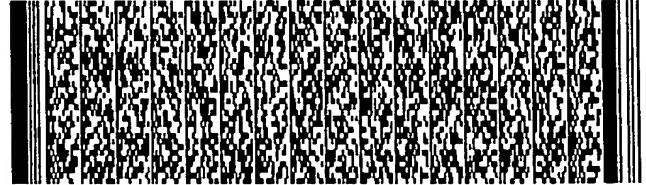
第 2/16 頁



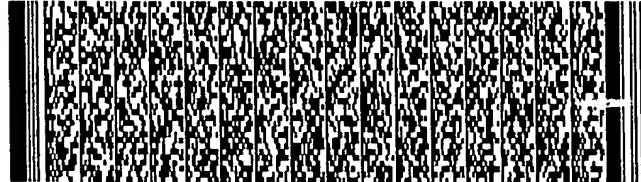
第 3/16 頁



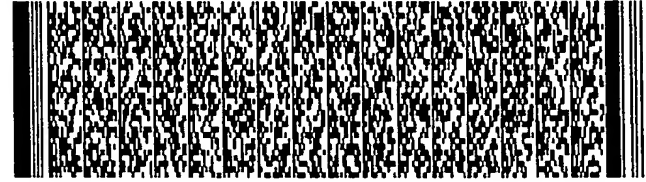
第 4/16 頁



第 4/16 頁



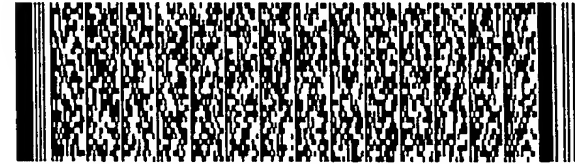
第 5/16 頁



第 5/16 頁



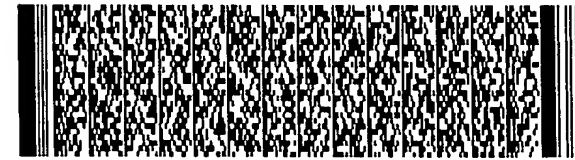
第 6/16 頁



第 6/16 頁



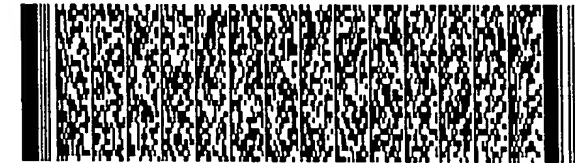
第 7/16 頁



第 7/16 頁



第 8/16 頁



第 8/16 頁



第 9/16 頁



第 10/16 頁



第 11/16 頁



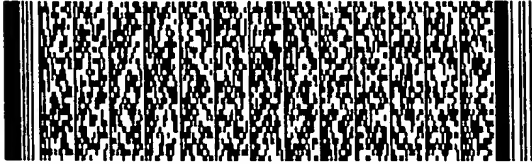
第 11/16 頁



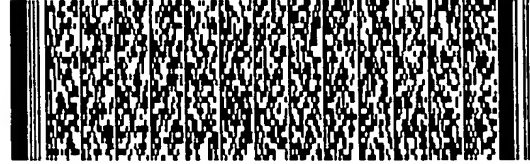
第 12/16 頁



第 13/16 頁



第 13/16 頁



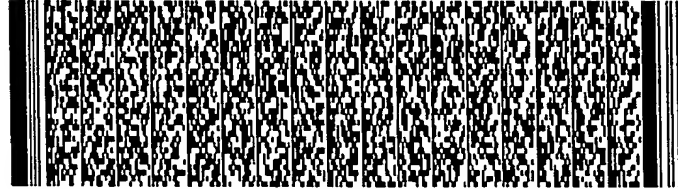
第 14/16 頁



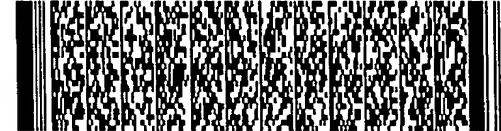
第 14/16 頁

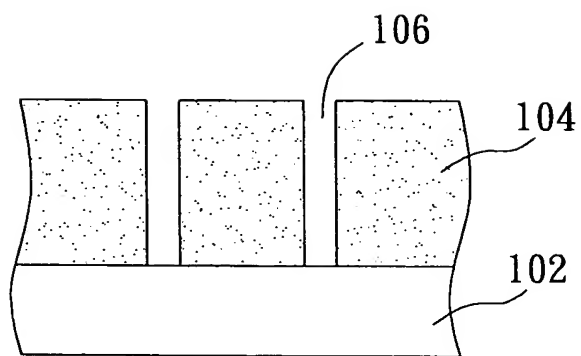


第 15/16 頁

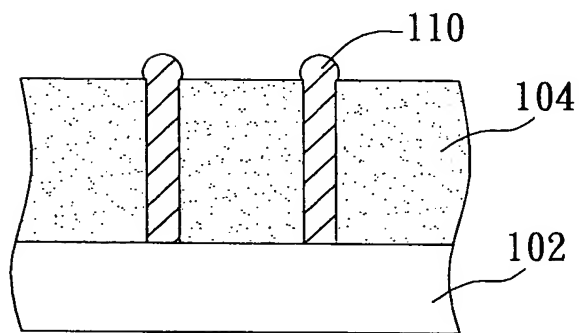


第 16/16 頁

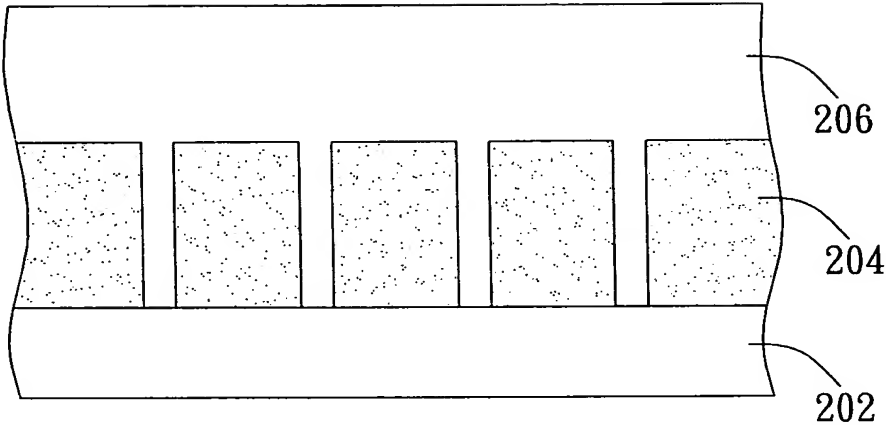




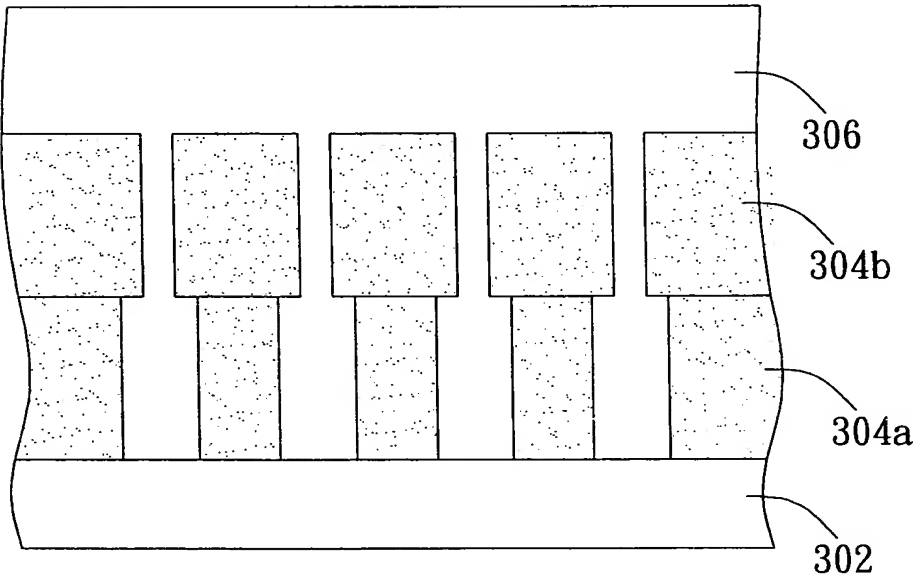
第 1A 圖



第 1B 圖



第 2 圖



第 3 圖